

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-142942

(43)Date of publication of application : 05.06.1989

(51)Int.Cl. G06F 9/42  
G06F 9/46

(21)Application number : 62-302181

(71)Applicant : NEC CORP

(22)Date of filing : 30.11.1987

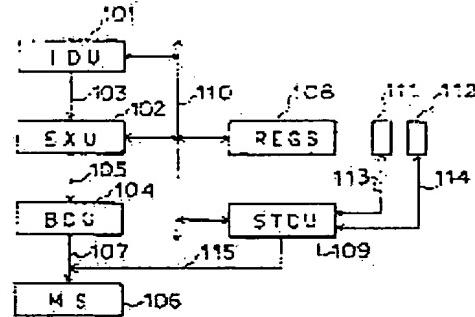
(72)Inventor : FUJII TAKUYA  
MIKI YOSHIOUKI

## (54) REGISTER SAVING SYSTEM

### (57)Abstract:

**PURPOSE:** To shorten a subroutine execution time by providing each register with a 1st flag which indicates that contents need to be saved during the execution of a subroutine, and a 2nd flag which shows whether or not the contents of the register are already saved.

**CONSTITUTION:** When a register saving instruction which actuates a register saving controller 109 indicates a general register 108 for saving, the controller 109 sets the saving indication flag 111 and a corresponding bit of a saving-completion display register 112. Then when the contents of the register 108 are saved with a subsequent instruction, it is decided whether or not the contents are saved on a main storage device 106 by referring to the part of a register number that the saving indication flag 111 corresponds to. Further, when it is found by referring to the part of the corresponding register number of the saving-completion display register 112 that no data are saved on the main device 106, the register saving controller 109 is actuated so as to save the contents of the general register 108 on the main storage device 106.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平1-142942

⑬ Int.CI.

G 06 F 9/42  
9/46

識別記号

3 3 0  
3 1 3

府内整理番号

A-7361-5B  
A-7056-5B

⑭ 公開 平成1年(1989)6月5日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 レジスタ退避方式

⑯ 特願 昭62-302181

⑰ 出願 昭62(1987)11月30日

⑱ 発明者 藤井 阜哉 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 発明者 三木 良行 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代理人 弁理士 越場 隆

明細書

1. 発明の名称 レジスタ退避方式

2. 特許請求の範囲

サブルーチンの実行時にレジスタの内容を主記憶装置内の所定のアドレスに退避する動作を行う情報処理装置のレジスタ退避方式において、

サブルーチンの実行時に内容を退避すべきレジスタであることを表示する第1のフラグと、該レジスタの内容が既に退避されているか否かを表示する第2のフラグとを前記レジスタの各々が備え、

サブルーチンへの動作移行を含む命令が入力された際に、まず前記第1フラグにそのレジスタが内容を退避すべきものであることをセットし、サブルーチン内であるレジスタを使用する際に前記第2フラグを参照して、該レジスタの内容がまだ退避されていない場合に該レジスタの内容の退避動作を実行することを特徴とするレジスタ退避方式。

3. 発明の詳細な説明

産業上の利用分野

本発明は、情報処理装置における中央処理装置の動作に関するものである。より詳細には、中央処理装置の特定の動作において、レジスタの内容を主記憶装置へ退避動作を実行する際の新規な方式に関するものである。

従来の技術

一般に、情報処理装置における中央処理装置においては、サブルーチンコールを実行するに先立って、そのサブルーチン上で使用するレジスタの値をメインルーチンへの復帰時に再現するために、そのレジスタの内容を主記憶装置へ退避して保存していた。

このような動作を指示する典型的なプログラムリストとしては、以下のようなものがある。

push m reg-list  
call Address

特開平1-142942(2)

ここで、pushmは、所定のレジスタのリスト（以下、reg-listと記載する）によって指示された複数のレジスタの内容を、スタックポインタから読み出された主記憶装置内のアドレスに退避する命令である（以下、レジスタ退避命令と記載する）。

第6図は、上述のような動作を説明するブロッケ図である。

第6図を参照して、レジスタ退避命令を実行する際に実行される汎用レジスタ（以下、REGSと記す）605から主記憶装置（以下、MSと記す）604への退避動作を説明する。

まず、REGS605に格納された退避命令が、命令解読部（以下、IDUと記載する）601によりデコードされる。尚、この場合、IDU601は次の命令を先取りは行わない。

命令実行部（以下、EXUと記載する）602は、IDU601からの情報により、命令がレジスタ退避命令であることを認知し、スタックポインタで示されているアドレスにREGS605の内容を

書込むように主記憶装置制御部（以下、BCUと記載する）603に指示する。そして、BCU603はREGS605の内容をMS604へ書込む。

更に、実際には、これらのレジスタ退避命令の実行終了後に、次のサブルーチンコール命令をデコードしその実行を開始する。

#### 発明が解決使用とする問題点

ところで、第7図（I）、（II）、（III）は、上述のような情報処理装置の動作を模式的に示す図である。

第7図（I）は、レジスタ退避命令の実行を表しており、第6図において示したように、情報処理装置の各要素（IDU、EXU、BCU、MS）の処理実行への関与を表している。

また、第7図（II）は、サブルーチンコール命令の実行についての各要素の関与を表している。更に、第7図（III）は、異なるサブルーチンコール命令の実行についての各要素の関与を表している。

#### 問題点を解決するための手段

即ち、本発明に従い、サブルーチンの実行時にレジスタの内容を主記憶装置内の所定のアドレスに退避する動作を行う情報処理装置のレジスタ退避方式において、サブルーチンの実行時に内容を退避すべきレジスタであることを表示する第1のフラグと、該レジスタの内容が既に退避されているか否かを表示する第2のフラグとを前記レジスタの各々が備え、サブルーチンへの動作移行を含む命令が入力された際に、まず前記第1フラグにそのレジスタが内容を退避すべきものであることをセットし、サブルーチン内であるレジスタを使用する際に前記第2フラグを参照して、該レジスタの内容がまだ退避されていない場合に該レジスタの内容の退避動作を実行することを特徴とするレジスタ退避方式が提供される。

#### 作用

本発明のレジスタ退避方式は、転送装置により主記憶装置に転送すべきレジスタであることを示

す第1のフラグと、主記憶装置に転送が済んだレジスタであることを示す第2のフラグとを備え、前記転送装置を起動するレジスタ退避命令が、退避すべきレジスタを指示したときに、前記転送装置により前記第1のフラグおよび、前記第2のフラグの該当するbitをセットし、以降の命令において前記レジスタを参照する場合に、前記第1のフラグの該当するレジスタ番号の部分を参照して、前記主記憶装置に退避するべきかどうかを判定し、前記第2のフラグの該当するレジスタ番号の部分を参照して、まだ前記主記憶装置に退避されていないときに初めてレジスタを前記主記憶装置に退避するため転送装置を起動することを主要な特徴としている。

即ち、従来のレジスタ退避命令とサブルーチンコール命令の組合せでは、汎用レジスタの退避が終了しなければ次のサブルーチンコール命令の実行ができなかった。

これに対して、本発明では、サブルーチンコール命令に対して退避するレジスタのリストをあた

を中心構成されている。

EXU102には、実行結果を主記憶装置（以下、MSと記す）106に格納するための主記憶装置制御部（以下、BCUと記す）に接続されている。また、この情報処理装置は、汎用のレジスタ群（以下、REGSと記す）108を備えており、これらの構成は、基本的には第6図に示した従来の装置と同じ構成である。

更に、本実施例の情報処理装置は、レジスタの退避を制御するレジスタ退避制御装置（以下、STCUと記す）109と、レジスタが内容を退避すべきものであるか否かを表示する退避指示フラグ（以下、STCRと記す）111と、レジスタの内容が既に退避しているか否かを表示する退避済み表示レジスタ（以下、STERと記す）112とを備えている。

第2図は、本発明の実施例における汎用レジスタの構成を示す図である。

第2図に示すように、この情報処理装置における汎用レジスタ201は、そのレジスタが退避する

### 特開平1-142942(3)

え、サブルーチン内の命令が、レジスタを更新しない場合や、退避レジスタのリストにないレジスタを用いる場合は、レジスタの退避を行わず、退避レジスタのリストにあるレジスタを更新する場合で、かつまだ退避していないレジスタの場合は、その命令を実行する前にレジスタの退避を行う。

以下に図面を参照して本発明をより具体的に詳述するが、以下に開示するものは本発明の一実施例に過ぎず、本発明の技術的範囲を何ら限定するものではない。

#### 実施例

第1図は、本発明のレジスタ退避方式を実現する際の情報処理装置の構成を模式的に示すブロック図である。

第1図に示す情報処理装置は、入力された命令を解読する命令解読部（以下、IDUと記す）101と、バス103を介してこのIDU101と接続された命令解読部から得られた情報により命令を実行に移す命令実行部（以下、EXUと記す）102と

か否かを示す、STCRの1bitを構成しているフラグ202と、そのレジスタが退避済みか否かを示す、STERの1bitを構成しているフラグ203とを備えている。

以下に、上述のような構成の装置における本発明に従うレジスタ退避方式の実行を、バイ二進法による先行制御方式を採用した場合について説明する。尚、この動作方式においては、IDU101、EXU102並びにBCU104の3つのステージからなり、それぞれが並行処理を行うことができるものとする。また、また汎用レジスタは、レジスタ0（以下、R0と記す）からレジスタ31（以下、R31と記す）の32本の汎用レジスタから構成され、更に、前述のように、1つの汎用レジスタに対して、第1並びに第2のフラグ202、203が、それぞれSTCRとSTERの1ビットを構成している。即ち、STCRとSTERは32ビットの大きさからなるレジスタで、32本の汎用レジスタに対しては、汎用レジスタR0に対してSTCR、STERのbit0、R1に対してSTC

## 特開平1-142942(4)

RとSTERのbit1と対応している。

第3図は、本実施例における主記憶装置に退避されたレジスタの構成図である。

本実施例では、サブルーチンコール命令の実行と複数のレジスタの主記憶装置上への退避がともなうときに、サブルーチンコール命令に退避するレジスタのリストを与える。サブルーチン内の命令がレジスタを更新しない場合は、レジスタの退避を行わず、レジスタの更新される場合で、そのレジスタが退避するレジスタのリストにある場合で、かつまだ退避していないレジスタの場合は、その命令を実行する前にレジスタの退避を行う命令について説明する。以下、この命令をレジスタ退避付きサブルーチンコール命令とする。

第4図は、本発明の実施例における命令の形式である。

レジスタ退避付きサブルーチンコール命令は、第4図に示すように命令コード401と退避レジスタのリスト402とオペランド403に分離する。

まず第1図において、レジスタ退避付きサブル

ーチンコール命令の過程を説明する。

IDU101は、レジスタ退避付きサブルーチンコール命令を、デコードするSTCU109に退避レジスタのリストを送り、EXU102にサブルーチンコールの実行を指示する。

サブルーチンコール命令では、まず始めに戻り番地をスタックに退避し、汎用レジスタとSTCRとSTERの、退避する領域を確保するためにスタックを進める。次に、フレームポインタをスタックに退避し、現在のスタックの値をフレームポインタに伝送する。以後フレームポインタを基準とし、汎用レジスタの退避を行う。

次にIDUは、次の命令デコードを先取りする。退避レジスタのリストを受け取ったSTCU109は、STCR111とSTER112に、退避レジスタのリストをセットする。すなわち、退避するレジスタに対応するbitを"1"にセットする。次にIDU101に解読された命令が、レジスタを使用しない場合や、レジスタの更新を行わない場合は、IDU101は、STCU109に対して何も

行わない。IDU101が命令を解読した結果が、レジスタの更新をともなう場合は、IDU101はSTCU109に対して更新するレジスタ番号を知らせる。STCU109は、IDU101から受け取ったレジスタ番号から、退避を行わなければならないレジスタかどうかを、フラグを参照して判定する。すなわち、汎用レジスタ番号に対応するSTCR111のbitが"1"のとき退避を行うレジスタと判定し、"0"のときは何も行わない。

次にSTCU109は、退避を行うレジスタと判定したレジスタ番号に対して、STER112を参照してすでにレジスタが、退避されているかを調べる。すなわち、汎用レジスタ番号に対応するSTER112のbitが"1"のときレジスタの退避をフレームポインタを参照して行う、"0"のときは何も行わない。

レジスタ退避付きサブルーチンコール命令により、サブルーチンに実行を移したのちに、そのサブルーチン内にレジスタ退避付きサブルーチンコール命令が、ある場合はSTERに示されたまだ

退避していないレジスタとSTCRとSTERとを退避する。

第5図は、本発明の実施例におけるタイミング図である。

第5図は、本実施例のタイミングチャートである。Iは、レジスタ退避付きサブルーチンコール命令の実行を表している。IIは、レジスタの退避を必要としない命令の実行を表している。IIIは、レジスタの退避を必要な命令の実行を、表している。この図からわかるように命令の実行を高速に行うことが出来ることがわかる。

#### 実施例2

次に、本発明の他の態様について具体的に説明する。

前述の第一実施例では、複数のレジスタの退避を伴うレジスタ退避付きサブルーチンコール命令について説明を行ったが、この方法は、並行動作可能なプログラムの単位（以下、タスクと記す）の、並行列動作のためのタスク切り換えの場合に

も用いることが出来る。

即ち、タスク切り換えでは、現在実行中のタスクの中断を行う場合、中断したときの状態を保持するためにそのときのレジスタの値を主記憶装置に退避する。従って、この場合のレジスタの退避にも、切り換え後のタスクをサブルーチンと見做すことによって、前述の第一実施例の方式を適用することができる。

#### 発明の効果

以上の説明のように、本発明に従うレジスタ退避方式によれば、複数のレジスタを有する中央処理装置において、複数のレジスタの退避をともなうサブルーチンコール命令のレジスタの退避を遅らせ、次の命令を先に実行し、退避するレジスタの値が更新する必要が生じた場合に、そのレジスタの値を主記憶装置へ退避を行い、サブルーチンの実行時間を短縮できることが出来る。また、退避が不用なレジスタの主記憶への退避を抑制し、サブルーチン実行時間を短縮できる。

特開平1-142942(5)

#### 4. 図面の簡単な説明

第1図は、本発明のレジスタ退避方式を実現する中央処理装置の構成を模式的に示すブロック図であり、

第2図は、第1図に示す中央処理装置内の汎用レジスタの構成を示す図であり、

第3図は、第1図に示した装置において、主記憶装置に退避されたレジスタの構成を説明する図であり、

第4図は、本発明の実施例における命令の形式を示す図であり、

第5図は、本発明の実施例におけるタイミング図であり、

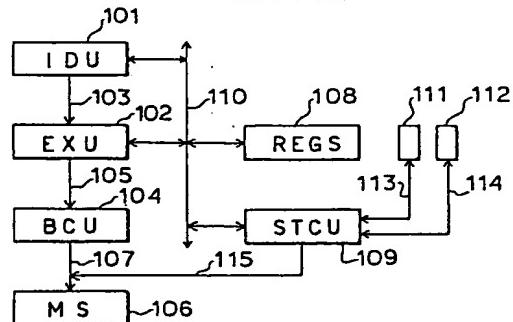
第6図は、従来のレジスタ退避方式における中央処理装置の構成を示すブロック図であり、

第7図(Ⅰ)、(Ⅱ)、(Ⅲ)は、第6図に示した従来の方式におけるレジスタ退避時の動作をそれぞれ模式的に示す図である。

#### [主な参照番号]

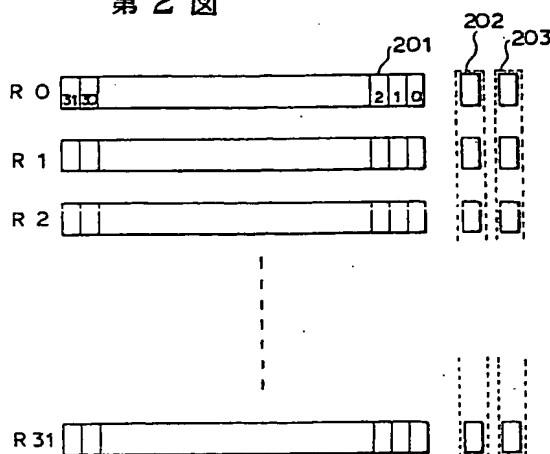
- 101、601 … 命令解読部 (I DU)、
- 102、602 … 命令実行部 (EXU)、
- 104、603 … 主記憶装置制御部 (BCU)、
- 106、604 … 主記憶装置 (MS)、
- 108、605 … 汎用レジスタ (REGS)、
- 109 … レジスタ退避制御装置 (STCU)、
- 111 … 退避指示フラグ (STCR)、
- 112 … 退避済み表示レジスタ (STER)、
- 201 … 汎用レジスタ、
- 202 … 、203 フラグ、
- 401 … 命令コード、
- 402 … リスト、
- 403 … オペランド

第1図

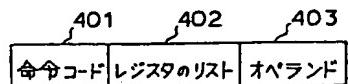


特開平1-142942(6)

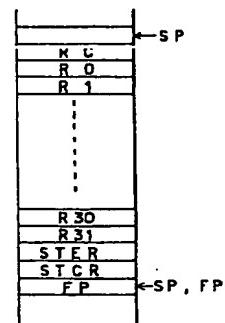
第2図



第3図

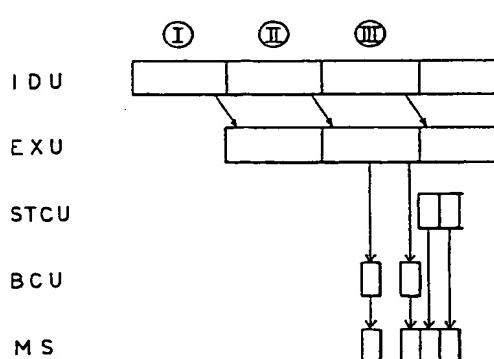


第3図

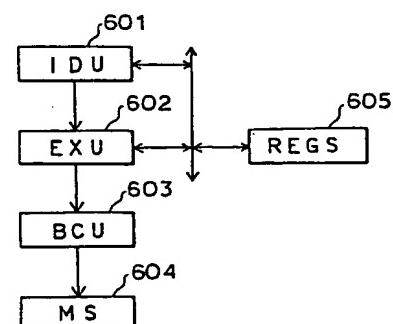


第4図

第5図



第6図



特開平1-142942(7)

第7図

